

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1036 U.S. PTO  
09/836081  
04/17/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2000年 5月22日

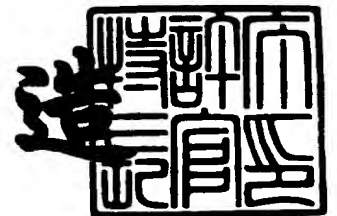
出 願 番 号  
Application Number: 特願2000-149327

出 願 人  
Applicant (s): 株式会社村田製作所

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3014151

【書類名】 特許願

【整理番号】 100068

【提出日】 平成12年 5月22日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 1/11

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

【氏名】 酒井 範夫

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【代理人】

【識別番号】 100085143

【弁理士】

【氏名又は名称】 小柴 雅昭

【電話番号】 06-6779-1498

【手数料の表示】

【予納台帳番号】 040970

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層型セラミック電子部品およびその製造方法ならびに電子装置

【特許請求の範囲】

【請求項 1】 第 1 のセラミック層および前記第 1 のセラミック層より厚みの薄い第 2 のセラミック層を含む複数の積層されたセラミック層をもって構成される積層体を備え、前記セラミック層の特定のものに関連して配線導体が設けられ、前記配線導体は、特定の前記セラミック層を貫通するように延びるビアホール導体と前記セラミック層の主面に沿って延びる導体膜とを備える、積層型セラミック電子部品であって、

前記ビアホール導体は、断面寸法が互いに異なる第 1 および第 2 のビアホール導体を含む、積層型セラミック電子部品。

【請求項 2】 前記第 1 のビアホール導体は、前記第 1 のセラミック層を貫通するように延び、前記第 2 のビアホール導体は、前記第 2 のセラミック層を貫通するように延び、かつ、前記第 1 のビアホール導体の断面寸法は、前記第 2 のビアホール導体の断面寸法より大きい、請求項 1 に記載の積層型セラミック電子部品。

【請求項 3】 すべての前記ビアホール導体について、厚みのより厚い前記セラミック層を貫通するように延びる前記ビアホール導体の断面寸法は、厚みのより薄い前記セラミック層を貫通するように延びる前記ビアホール導体の断面寸法より大きい、請求項 2 に記載の積層型セラミック電子部品。

【請求項 4】 同じ前記セラミック層を貫通するように延びる複数の前記ビアホール導体は、互いに同じ断面寸法を有する、請求項 1 ないし 3 のいずれかに記載の積層型セラミック電子部品。

【請求項 5】 前記ビアホール導体の高さ方向寸法を H、同じく径方向寸法を D としたとき、 $H/D$  で表わされるアスペクト比が、 $0.1 \sim 3.0$  となるように選ばれる、請求項 1 ないし 4 のいずれかに記載の積層型セラミック電子部品。

【請求項 6】 複数の前記セラミック層は、互いに同じ誘電率を有する、請

求項 1 ないし 5 のいずれかに記載の積層型セラミック電子部品。

【請求項 7】 第 1 のセラミックグリーンシートおよび前記第 1 のセラミックグリーンシートより厚みの薄い第 2 のセラミックグリーンシートを含む複数のセラミックグリーンシートを用意する工程と、

少なくとも前記第 1 および第 2 のセラミックグリーンシートの各々を貫通するように貫通孔を設ける工程と、

前記貫通孔内にビアホール導体を形成するため、導電性ペーストを前記貫通孔に充填する工程と、

前記第 1 および第 2 のセラミックグリーンシートを含む複数のセラミックグリーンシートを積層することによって生の積層体を得る工程と、

前記生の積層体を焼成する工程とを備え、

前記貫通孔を設ける工程において、前記第 1 のセラミックグリーンシートに設けられる第 1 の貫通孔の断面寸法は、前記第 2 のセラミックグリーンシートに設けられる第 2 の貫通孔の断面寸法より大きくされる、積層型セラミック電子部品の製造方法。

【請求項 8】 請求項 1 ないし 6 のいずれかに記載の積層型セラミック電子部品と、前記積層型セラミック電子部品を実装する配線基板とを備える、電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、積層型セラミック電子部品およびその製造方法、ならびにこのような積層型セラミック電子部品を備える電子装置に関するもので、特に、積層型セラミック電子部品に備えるビアホール導体の寸法面での改良に関するものである。

【0002】

【従来の技術】

この発明にとって興味ある積層型セラミック電子部品は、多層セラミック基板

とも呼ばれるもので、複数のセラミック層をもって構成される積層構造を有する積層体を備えている。

【 0 0 0 3 】

この積層体に備えるセラミック層の特定のものと関連して配線導体が設けられ、これをもって所望の回路を構成するようにされている。配線導体としては、特定のセラミック層を貫通するように延びるビアホール導体やセラミック層の主面に沿って延びる導体膜等があり、導体膜としては、積層体の内部に形成される内部導体膜および積層体の外表面上に形成される外部導体膜がある。

【 0 0 0 4 】

また、積層体の内部には、コンデンサ、インダクタ、トリプレート構造、および／またはマイクロストリップラインのような受動素子が内蔵されることがある。上述したビアホール導体の一部や内部導体膜の一部は、このような内蔵素子を構成するために用いられる。また、積層体の外部には、半導体 I C チップのような能動素子や、必要に応じて受動素子の一部が搭載されることがある。上述した外部導体膜の一部は、このような搭載素子を電氣的に接続するための端子として機能する。

【 0 0 0 5 】

また、上述のように複合化された積層型セラミック電子部品は、適宜の配線基板上に実装され、所望の電子装置を構成するように用いられる。上述した外部導体膜の一部は、このように積層型セラミック電子部品を配線基板上に実装するにあたって、配線基板への電氣的接続のための端子として機能する。

【 0 0 0 6 】

このような積層型セラミック電子部品は、たとえば、移動体通信端末機器の分野において、L C R 複合化高周波部品として用いられたり、コンピュータの分野において、半導体 I C チップのような能動素子とコンデンサやインダクタや抵抗のような受動素子とを複合化した部品として、あるいは単なる半導体 I C パッケージとして用いられたりしている。

【 0 0 0 7 】

より具体的には、積層型セラミック電子部品は、P A モジュール基板、R F ダ

イオードスイッチ、フィルタ、チップアンテナ、各種パッケージ部品、複合デバイス等の種々の電子部品を構成するために広く用いられている。

#### 【 0 0 0 8 】

このような積層型セラミック電子部品において、高周波化の要求に応えるため、積層体に備えるセラミック層の材料として、低誘電率の誘電体を使用することが多い。また、複数のセラミック層は、互いに同じ誘電率を有する、すなわち互いに同じ組成のセラミックから構成することが、積層体を得るための一体焼成を容易にする点で好ましい。

#### 【 0 0 0 9 】

このような背景の下、前述したように、受動素子を積層体の内部に内蔵しようとするとき、受動素子の種類に応じて、セラミック層の厚みを異ならせることが行なわれている。このことを、図 4 ないし図 6 を参照して説明する。

#### 【 0 0 1 0 】

図 4 には、内蔵素子としてのコンデンサ 1 が図解的に断面図で示されている。コンデンサ 1 は、内部導体膜をもって構成されかつセラミック層 2 を介してそれぞれ対向する複数のコンデンサ電極 3 を備えている。このようなコンデンサ 1 を小型でありながら大容量のものとするため、セラミック層 2 の厚み  $T_1$  および  $T_2$  は薄くされる。

#### 【 0 0 1 1 】

図 5 には、内蔵素子としてのトリプレート構造 4 が図解的に断面図で示されている。トリプレート構造 4 は、内部導体膜をもって構成される中心導体 5 と、同じく内部導体膜をもって構成されかつセラミック層 6 を介して中心導体 5 を挟むように配置される 1 対の接地導体 7 および 8 とを備えている。このようなトリプレート構造 4 において、接地導体 7 および 8 の間の距離  $S$  を長くするため、セラミック層 6 の厚みを厚くすることが行なわれる。

#### 【 0 0 1 2 】

図 6 には、内蔵素子としての 2 つのコンデンサ 9 および 10 が図解的に断面図で示されている。このような 2 つのコンデンサ 9 および 10 の各静電容量のカップリングを防止するため、コンデンサ 9 および 10 の間に位置するセラミック層

1 1 の厚み T を厚くすることが行なわれる。

【 0 0 1 3 】

このように、積層体に内蔵素子を内蔵する場合、内蔵素子の種類に応じて、内蔵素子に関連して配置されるセラミック層にとって最適な厚みが異なってくる。そのため、積層体には、厚みの互いに異なる複数種類のセラミック層を混在させなければならない。

【 0 0 1 4 】

他方、積層体に備える特定のセラミック層を貫通するように延びる複数のビアホール導体にあっては、各々の断面寸法が互いに同じとされるのが一般的である。断面寸法が互いに異なる複数のビアホール導体を形成しようとする場合、ビアホール導体の形成のための加工の能率が低下するためである。

【 0 0 1 5 】

【発明が解決しようとする課題】

ビアホール導体を形成するため、たとえば、図 7 に示すような方法が適用されている。

【 0 0 1 6 】

図 7 を参照して、積層型セラミック電子部品の積層体に備えるセラミック層となるべきセラミックグリーンシート 1 2 には、これを貫通するように貫通孔 1 3 が設けられる。そして、セラミックグリーンシート 1 2 は、吸引装置 1 4 上に配置される。

【 0 0 1 7 】

吸引装置 1 4 は、真空チャンバ 1 5 を備え、この真空チャンバ 1 5 内には、矢印 1 6 で示すように、負圧が与えられる。真空チャンバ 1 5 の開口部は、多数の微細な空気通路（図示せず。）を形成している吸引プレート 1 7 によって閉じられる。

【 0 0 1 8 】

吸引プレート 1 7 の上面には、紙または他のフィルタ材料によって構成される多孔質シート 1 8 が配置される。この多孔質シート 1 8 に接するように、セラミックグリーンシート 1 2 が配置される。

## 【 0 0 1 9 】

このような状態において、真空チャンバ 1 5 内に、矢印 1 6 で示すように、負圧が与えられたとき、この負圧は、吸引プレート 1 7 および多孔質シート 1 8 を介して、貫通孔 1 3 内に及ぼされる。

## 【 0 0 2 0 】

また、この状態において、スクリーン印刷を適用して、貫通孔 1 3 に導電性ペースト 1 9 を充填することが行なわれる。すなわち、スクリーン 2 0 上に導電性ペースト 1 9 が付与され、この導電性ペースト 1 9 は、スクリーン 2 0 に沿うスキージ 2 1 の移動に伴って、スクリーン 2 0 上で移動され、この移動の過程において、前述した負圧の作用に基づいて貫通孔 1 3 内に埋め込まれる。この貫通孔 1 3 内の導電性ペースト 1 9 は、ビアホール導体 2 2 を形成する。

## 【 0 0 2 1 】

次に、セラミックグリーンシート 1 2 が多孔質シート 1 8 から剥離される。なお、この剥離の前または後に、ビアホール導体 2 2 のための導電性ペースト 1 9 が乾燥される。

## 【 0 0 2 2 】

しかしながら、上述した剥離工程において、ビアホール導体 2 2 を形成するために貫通孔 1 3 に充填された導電性ペースト 1 9 の一部が、図 8 に示すように、多孔質シート 1 8 側に付着し、そのため、貫通孔 1 3 内の導電性ペースト 1 9 が不足することになる。そして、このような導電性ペースト 1 9 の充填後の欠落による充填不足は、ビアホール導体 2 2 と他のビアホール導体または導体膜といった他の配線導体との間での導通不良を引き起こす原因となる。

## 【 0 0 2 3 】

ビアホール導体 2 2 を形成するため、図 9 に示すような方法が採用されることもある。図 9 において、図 7 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

## 【 0 0 2 4 】

図 9 を参照して、セラミックグリーンシート 1 2 は、キャリアフィルム 2 3 によって裏打ちされた状態で取り扱われる。そして、貫通孔 1 3 は、これらセラミ



ックグリーンシート 1 2 およびキャリアフィルム 2 3 を貫通するように設けられる。

【 0 0 2 5 】

また、吸引装置 1 4 の吸引プレート 1 7 の上面には、図 7 に示した場合と同様、多孔質シート 1 8 が配置される。上述したキャリアフィルム 2 3 によって裏打ちされたセラミックグリーンシート 1 2 は、多孔質シート 1 8 に接するように配置され、キャリアフィルム 2 3 は、このセラミックグリーンシート 1 2 の上面側に位置される。

【 0 0 2 6 】

このような状態において、真空チャンバ 1 5 内に、矢印 1 6 で示すように、負圧が与えられ、この負圧が、吸引プレート 1 7 および多孔質シート 1 8 を介して、貫通孔 1 3 内に及ぼされるとともに、キャリアフィルム 2 3 の上面側には、導電性ペースト 1 9 が付与される。この導電性ペースト 1 9 は、キャリアフィルム 2 3 の上面に沿うスキージ 2 4 の移動に伴って、キャリアフィルム 2 3 上で移動され、この移動の過程において、前述した負圧の作用に基づいて貫通孔 1 3 内に埋め込まれる。

【 0 0 2 7 】

このようにして、図 7 に示したスクリーン 2 0 を用いずに、キャリアフィルム 2 3 をマスクとしながらキャリアフィルム 2 3 側から導電性ペースト 1 9 を貫通孔 1 3 内に充填することによって、貫通孔 1 3 内にビアホール導体 2 2 が形成される。

【 0 0 2 8 】

上述の図 9 に示した方法が適用される場合には、キャリアフィルム 2 3 によって裏打ちされた状態を維持したまま、セラミックグリーンシート 1 2 の外側に向く主面上に導電性ペーストを印刷することによって、導体膜となる導電性ペースト膜が形成される。

【 0 0 2 9 】

このように、セラミックグリーンシート 1 2 がキャリアフィルム 2 3 によって裏打ちされた状態で取り扱われるのは、セラミックグリーンシート 1 2 は、軟弱

であり、これを単独で取り扱うことが極めて困難であるためであり、キャリアフィルム 2 3 によって裏打ちされた状態で取り扱うことによって、セラミックグリーンシート 1 2 の取り扱いを容易にするとともに、各工程でのセラミックグリーンシート 1 2 の位置合わせを容易にし、また、ビアホール導体 2 2 および導電性ペースト膜を形成するための導電性ペーストの乾燥時に、セラミックグリーンシート 1 2 の収縮におけるばらつきを生じにくくすることができる。

#### 【 0 0 3 0 】

しかしながら、目的とする積層型セラミック電子部品のための積層体を得るにあたっては、セラミックグリーンシート 1 2 を含む複数のセラミックグリーンシートを積層することが行なわれるが、この積層前には、キャリアフィルム 2 3 をセラミックグリーンシート 1 2 から剥離しなければならない。このとき、図 1 0 に示すように、貫通孔 1 3 に充填された導電性ペースト 1 9 の一部が、キャリアフィルム 2 3 に伴われて奪われ、そのため、貫通孔 1 3 内の導電性ペースト 1 9 が不足してしまうことがある。

#### 【 0 0 3 1 】

もちろん、図 9 に示した方法を採用した場合であっても、図 8 に示すように、セラミックグリーンシート 1 2 を多孔質シート 1 8 から剥離する際、貫通孔 1 3 内の導電性ペースト 1 9 の一部が多孔質シート 1 8 側に付着して奪われることがある。

#### 【 0 0 3 2 】

なお、貫通孔 1 3 内での導電性ペースト 1 9 の充填不足は、図 8 または図 1 0 を参照して説明した原因によるだけでなく、以下のような場合にも生じることがある。

#### 【 0 0 3 3 】

たとえば、セラミックグリーンシート 1 2 の厚みが比較的薄い場合、貫通孔 1 3 に充填される導電性ペースト 1 9 の形状保持強度が比較的低くなり、そのため、セラミックグリーンシート 1 2 の取り扱い時において、導電性ペースト 1 9 の少なくとも一部が抜け落ちることがある。

#### 【 0 0 3 4 】

また、前述したビアホール導体 2 2 の形成の後に、導体膜となる導電性ペースト膜が、スクリーン印刷によってセラミックグリーンシート 1 2 上に形成されることがある。この場合、スクリーン印刷において用いられるスクリーンの、セラミックグリーンシート 1 2 側に向く面には、エマルジョン膜が形成されており、スクリーンがスキージによって押し込まれたとき、このエマルジョン膜がスキージの先端の形状に沿ってセラミックグリーンシート 1 2 に接触し、次いで離れるように挙動する。このようなエマルジョン膜の挙動の結果、貫通孔 1 3 に充填された導電性ペースト 1 9 の一部は、エマルジョン膜に付着し、スクリーン側に奪われてしまうことがある。

## 【 0 0 3 5 】

なお、ビアホール導体 2 2 の形成のために用いられる導電性ペースト 1 9 は、電氣的導通性が良好で緻密なビアホール導体 2 2 を形成することができるように、金属成分の含有率を、導体膜の形成のために用いる導電性ペーストの場合より高くすることが行なわれている。そのため、導電性ペースト 1 9 に含まれる樹脂成分が比較的少なくなり、その結果、導電性ペースト 1 9 の形状保持強度が低くなり、このことが、上述したような貫通孔 1 3 での導電性ペースト 1 9 の充填後の欠落による充填不足をより引き起こしやすくする原因となっている。

## 【 0 0 3 6 】

上述のように、一旦、貫通孔 1 3 に充填された導電性ペースト 1 9 の一部が奪われてもたらされる充填不足は、貫通孔 1 3 の断面寸法がより大きくかつ高さ方向寸法がより小さくなるほど生じやすい。したがって、貫通孔 1 3 に充填された導電性ペースト 1 9 が奪われにくくするため、貫通孔 1 3 の断面寸法をより小さくかつ高さ方向寸法をより大きくすることが考えられる。しかしながら、貫通孔 1 3 の断面寸法をより小さくしたり、高さ方向寸法をより大きくしたりする対策は、単純に採用し得るものではない。

## 【 0 0 3 7 】

すなわち、貫通孔 1 3 の断面寸法をたとえば小さくしたとき、図 7 に示すようなスクリーン印刷による導電性ペースト 1 9 を適用する場合には、スクリーン 2 0 とセラミックグリーンシート 1 2 との位置合わせに高い精度が要求されるばか

りでなく、導電性ペースト 1 9 が貫通孔 1 3 内に入り込みにくくなり、このことが原因となって導電性ペースト 1 9 の充填不足が生じたり、導電性ペースト 1 9 の充填に長時間要したりするといった問題に遭遇することになる。特に、セラミックグリーンシート 1 2 の厚みが厚いとき、すなわち貫通孔 1 3 の高さ方向寸法が大きいとき、この問題はより顕著に現れる。

## 【 0 0 3 8 】

そこで、この発明の目的は、互いに厚みが異なる第 1 および第 2 のセラミック層を含む複数の積層されたセラミック層をもって構成される積層体を備える、積層型セラミック電子部品において、上述のようなビアホール導体のための導電性ペーストの充填不足が生じにくくするための対策が講じられた、積層型セラミック電子部品およびその製造方法を提供しようとする、ならびに、この積層型セラミック電子部品を用いて構成される電子装置を提供しようとするものである。

## 【 0 0 3 9 】

## 【課題を解決するための手段】

この発明は、第 1 のセラミック層およびこの第 1 のセラミック層より厚みの薄い第 2 のセラミック層を含む複数の積層されたセラミック層をもって構成される積層体を備え、セラミック層の特定のものと関連して配線導体が設けられ、配線導体は、特定のセラミック層を貫通するように延びるビアホール導体とセラミック層の主面に沿って延びる導体膜とを備える、積層型セラミック電子部品にまず向けられるものであって、上述した技術的課題を解決するため、ビアホール導体は、断面寸法が互いに異なる第 1 および第 2 のビアホール導体を含むことを特徴としている。

## 【 0 0 4 0 】

この発明に係る積層型セラミック電子部品において、第 1 のビアホール導体が、第 1 のセラミック層を貫通するように延び、第 2 のビアホール導体が、第 2 のセラミック層を貫通するように延びるとき、第 1 のビアホール導体の断面寸法は、第 2 のビアホール導体の断面寸法より大きいことが好ましい。

## 【 0 0 4 1 】

また、より好ましくは、すべてのビアホール導体について、厚みのより厚いセラミック層を貫通するように延びるビアホール導体の断面寸法は、厚みのより薄いセラミック層を貫通するように延びるビアホール導体の断面寸法より大きくなるように設定される。

## 【 0 0 4 2 】

また、この発明に係る積層型セラミック電子部品において、同じセラミック層を貫通するように延びる複数のビアホール導体については、互いに同じ断面寸法を有するようにされることが好ましい。

## 【 0 0 4 3 】

また、この発明に係る積層型セラミック電子部品において、ビアホール導体の高さ方向寸法をH、同じく径方向寸法をDとしたとき、 $H/D$ で表わされるアスペクト比は、0.1～3.0となるように選ばれることが好ましい。なお、ビアホール導体の径方向寸法とは、ビアホール導体の断面形状が円形であるとき、円の直径の長さを言い、断面形状が正方形であるとき、正方形の辺の長さを言い、断面形状が長方形であるとき、長辺の長さを言う。

## 【 0 0 4 4 】

また、この発明は、複数のセラミック層が、互いに同じ誘電率を有するとき、すなわち互いに同じ組成を有するとき、特に有利に適用される。

## 【 0 0 4 5 】

この発明は、また、上述したような積層型セラミック電子部品を製造する方法にも向けられる。

## 【 0 0 4 6 】

この発明に係る積層型セラミック電子部品の製造方法は、第1のセラミックグリーンシートおよびこの第1のセラミックグリーンシートより厚みの薄い第2のセラミックグリーンシートを含む複数のセラミックグリーンシートを用意する工程と、少なくとも第1および第2のセラミックグリーンシートの各々を貫通するように貫通孔を設ける工程と、貫通孔内にビアホール導体を形成するため、導電性ペーストを貫通孔に充填する工程と、第1および第2のセラミックグリーンシートを含む複数のセラミックグリーンシートを積層することによって生の積層体

を得る工程と、この生の積層体を焼成する工程とを備え、貫通孔を設ける工程において、第1のセラミックグリーンシートに設けられる第1の貫通孔の断面寸法は、第2のセラミックグリーンシートに設けられる第2の貫通孔の断面寸法より大きくされることを特徴としている。

## 【0047】

この発明は、さらに、上述したような積層型セラミック電子部品をもって構成される電子装置にも向けられる。この発明に係る電子装置は、積層型セラミック電子部品と、この積層型セラミック電子部品を実装する配線基板とを備えることを特徴としている。

## 【0048】

## 【発明の実施の形態】

図1は、この発明の一実施形態による積層型セラミック電子部品31を図解的に示す断面図である。

## 【0049】

積層型セラミック電子部品31は、積層された複数のセラミック層32、33、34、35および36をもって構成される積層体37を備えている。この積層体37において、セラミック層32～36の各厚みは互いに同じではなく、セラミック層32および35の各厚みが最も厚く、セラミック層36は中間的な厚みを有し、セラミック層33および34の各厚みは最も薄い。

## 【0050】

また、セラミック層32～36の特定のものに関連して種々の配線導体が設けられている。図1において図示した断面上に現れる配線導体としては、セラミック層32を貫通するように延びるビアホール導体38および39と、セラミック層33を貫通するように延びるビアホール導体40および41と、セラミック層34を貫通するように延びるビアホール導体42および43と、セラミック層35を貫通するように延びるビアホール導体44および45と、セラミック層36を貫通するように延びるビアホール導体46および47とがある。

## 【0051】

また、配線導体として、セラミック層32～36の主面に沿って延びる導体膜

があり、導体膜としては、積層体 3 7 の内部に形成されるいくつかの内部導体膜 4 8 と、積層体 3 7 の外表面上に形成されるいくつかの外部導体膜 4 9 とがある。

#### 【 0 0 5 2 】

また、積層体 3 7 上には、たとえばチップコンデンサのようなチップ状電子部品 5 0 が搭載される。チップ状電子部品 5 0 は、端子電極 5 1 を備え、端子電極 5 1 をたとえば半田 5 2 によって外部導体膜 4 9 に接合することによって、チップ状電子部品 5 0 が積層体 3 7 上に表面実装される。なお、バンプ電極を介しての接続、あるいはワイヤボンディングを介しての接続による電子部品が、積層体 3 7 上に搭載されてもよい。

#### 【 0 0 5 3 】

また、積層型セラミック電子部品 3 1 は、想像線で示す配線基板 5 3 上に実装され、所望の電子装置を構成するように用いられる。この配線基板 5 3 への実装のため、外部導体膜 4 9 を介しての電氣的接続が適用される。

#### 【 0 0 5 4 】

この実施形態に係る積層型セラミック電子部品 3 1 は、ビアホール導体 3 8 ～ 4 7 の各々の断面寸法が互いに同じでないことを特徴としている。すなわち、最も厚いセラミック層 3 2 および 3 5 において設けられるビアホール導体 3 8、3 9、4 4 および 4 5 の各断面寸法が最も大きく、中間的な厚みを有するセラミック層 3 6 に設けられるビアホール導体 4 6 および 4 7 の各断面寸法は中間的な大きさを有し、最も薄いセラミック層 3 3 および 3 4 に設けられるビアホール導体 4 0、4 1、4 2 および 4 3 の各断面寸法は最も小さい。

#### 【 0 0 5 5 】

このような断面寸法の大きさの関係は、前述の図 8 または図 1 0 を参照して説明したように、貫通孔 1 3 の断面寸法がより大きくかつ高さ方向寸法がより小さくなるほど、導電性ペースト 1 9 の充填不足が生じやすく、この充填不足を生じにくくするためには、貫通孔 1 3 の断面寸法をより小さくかつ高さ方向寸法をより大きくすることが有利である、との知見に基づいて決定されたものである。

#### 【 0 0 5 6 】

図 2 には、1 つのセラミック層 5 4 を貫通するように設けられたビアホール導体 5 5 が断面図で示されている。

## 【 0 0 5 7 】

図 2 を参照して、ビアホール導体 5 5 の高さ方向寸法を  $H$ 、径方向寸法を  $D$  としたとき、 $H/D$  で表わされるアスペクト比が大きいほど、上述した導電性ペーストの充填後の欠落をより効果的に防止できる。しかし、ビアホール導体 5 5 の高さ方向寸法  $H$  を大きくすることによって、アスペクト比  $H/D$  を大きくすると、ビアホール導体 5 5 の形成のための貫通孔内への導電性ペーストの充填が困難になる。そのため、ビアホール導体 5 5 の高さ方向寸法  $H$  が小さいものについて、径方向寸法  $D$  を小さくすることによって、アスペクト比  $H/D$  を大きくしようとするのが好ましい。図 1 に示したビアホール導体 3 8 ~ 4 7 の各々の寸法は、このような思想の下で設計されたものである。

## 【 0 0 5 8 】

上述したビアホール導体 5 5 の径方向寸法  $D$  は、ビアホール導体 5 5 の断面形状が円形である場合には、この円の直径の長さを指すものであるが、ビアホール導体 5 5 の断面形状が正方形である場合には、この正方形の辺の長さを指し、ビアホール導体 5 5 の断面形状が長方形である場合には、この長方形の長辺の長さを指すものである。

## 【 0 0 5 9 】

また、図 1 において、ビアホール導体 3 8 ~ 4 7 の各々の断面寸法は、導電性ペーストの充填後の欠落を防止するとともに、導電性ペーストの充填を困難にしないようにする観点から選ばれたものである。同じセラミック層を貫通するように延びる複数のビアホール導体は、互いに同じ断面寸法を有するように設計される。たとえば、セラミック層 3 2 に設けられるビアホール導体 3 8 とビアホール導体 3 9 とは互いに同じ断面寸法を有し、以下同様に、ビアホール導体 4 0 とビアホール導体 4 1、ビアホール導体 4 2 とビアホール導体 4 3、ビアホール導体 4 4 とビアホール導体 4 5、ならびにビアホール導体 4 6 とビアホール導体 4 7 は、それぞれ、互いに同じ断面寸法を有している。

## 【 0 0 6 0 】



前述したアスペクト比 $H/D$ の適正範囲に関して、導電性ペーストの充填後の欠落の防止および導電性ペーストの充填の容易性を考慮しながら調査した結果、このアスペクト比 $H/D$ は、 $0.1 \sim 3.0$ の範囲内に選ばれることが好ましい。

#### 【0061】

たとえば、セラミック層（あるいはセラミックグリーンシート）の厚みが $15 \mu\text{m}$ とすると、ビアホール導体の高さ方向寸法 $H$ は同じく $15 \mu\text{m}$ となるが、ビアホール導体の径方向寸法 $D$ は $150 \mu\text{m}$ 以下に選ぶことが好ましく、セラミック層（あるいはセラミックグリーンシート）の厚みが $10 \mu\text{m}$ とすると、ビアホール導体の径方向寸法 $D$ は $100 \mu\text{m}$ 以下にすることが好ましい。

#### 【0062】

逆に言うと、ビアホール導体の径方向寸法 $D$ を $200 \mu\text{m}$ とすると、ビアホール導体の高さ方向寸法 $H$ すなわちセラミック層（あるいはセラミックグリーンシート）の厚みは $20 \sim 600 \mu\text{m}$ にすることが好ましい。

#### 【0063】

なお、アスペクト比 $H/D$ は、その適正值に関して、上述したように、ある幅を有しているので、すべてのセラミック層に関して、各厚み毎にビアホール導体の径方向寸法 $D$ を変える必要はなく、ビアホール導体の変更は必要最小限に留める方が実用的である。

#### 【0064】

図1に示した積層型セラミック電子部品31は、たとえば、次のようにして製造することができる。

#### 【0065】

まず、キャリアフィルム上で、セラミック層32～36の各々となるべきセラミックグリーンシートが成形される。これらセラミックグリーンシートは、それぞれ、セラミック層32～36の各厚みに対応する厚みを有している。次に、各セラミックグリーンシートに、貫通孔が、ドリル、パンチまたはレーザ等を適用して設けられる。貫通孔は、それぞれ、ビアホール導体38～47を形成するためのものであり、その断面寸法は、ビアホール導体38～47の各々の断面寸法

に対応している。

【 0 0 6 6 】

なお、次に実施される導電性ペーストを貫通孔に充填する工程において、図 7 に示した方法が適用される場合には、上述の貫通孔を設ける工程の前または後にキャリアフィルムをセラミックグリーンシートから剥離する工程が実施され、図 9 に示した方法が適用される場合には、セラミックグリーンシートは、キャリアフィルムによって裏打ちされたままの状態で行われる。

【 0 0 6 7 】

次に、図 7 に示した方法または図 9 に示した方法を適用して、貫通孔に導電性ペーストが充填され乾燥される。これによって、各貫通孔内にビアホール導体 3 8 ～ 4 7 がそれぞれ形成される。

【 0 0 6 8 】

次に、セラミックグリーンシートの主面上に、導電性ペーストを所望のパターンで付与し乾燥することによって、導電性ペースト膜が形成される。導電性ペースト膜は、内部導体膜 4 8 または外部導体膜 4 9 となるものである。

【 0 0 6 9 】

次に、上述した複数のセラミックグリーンシートを積層することによって、生の積層体が作製される。この生の積層体は、積層型セラミック電子部品 3 1 における積層体 3 7 となるものである。

【 0 0 7 0 】

なお、上述した貫通孔への導電性ペーストの充填工程において図 9 に示した方法が適用される場合には、このセラミックグリーンシートを積層する前の段階で、キャリアフィルムをセラミックグリーンシートから剥離することが行なわれる。

【 0 0 7 1 】

次に、生の積層体が焼成され、それによって、積層型セラミック電子部品 3 1 のための積層体 3 7 が得られる。

【 0 0 7 2 】

なお、図 1 に示した積層体 3 7 の上面上に位置する外部導体膜 4 9 および下面

上に位置する外部導体膜 4 9 のいずれか一方は、生の積層体を作製した後、または焼結後の積層体 3 7 を得た後に形成されてもよい。

【 0 0 7 3 】

また、積層体 3 7 を得た後、必要に応じて、積層体 3 7 の外表面上に、印刷抵抗、電気絶縁膜およびレジスト膜等が形成され、また、外部導体膜 4 9 上に、めっきが施される。

【 0 0 7 4 】

次に、積層体 3 7 の上面上に、チップ状電子部品 5 0 が実装される。そして、このようにして得られた積層型セラミック電子部品 3 1 は、配線基板 5 3 上に実装され、所望の電子装置を構成するように用いられる。

【 0 0 7 5 】

図 3 は、この発明の他の実施形態による積層型セラミック電子部品 3 1 a を図解的に示す断面図である。図 3 において、図 1 に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 7 6 】

図 3 に示した積層型セラミック電子部品 3 1 a は、以下の点を除いて、図 1 に示した積層体 3 7 と実質的に同様の構造を有する積層体 3 7 a を備えている。すなわち、積層体 3 7 a においては、その上面に外部導体膜が形成されておらず、ビアホール導体 3 8 および 3 9 の各々の露出する端面が、そのまま、搭載部品としてのチップ状電子部品 5 6 との接続のための端子として用いられる。

【 0 0 7 7 】

チップ状電子部品 5 6 は、パンプ電極 5 7 を備え、これらパンプ電極 5 7 がビアホール導体 3 8 および 3 9 にそれぞれ接触した状態で電氣的接続が達成される。

【 0 0 7 8 】

上述のように、ビアホール導体 3 8 および 3 9 の各々の露出する端面を、それぞれ、接続用端子として用いるにあたっては、ビアホール導体 3 8 および 3 9 の各断面寸法が大きい方が、パンプ電極 5 7 との間での位置合わせが容易になるという点で好ましい。この実施形態では、最も厚いセラミック層 3 2 に設けられる

ビアホール導体 3 8 および 3 9 が最も大きい断面寸法を有していることになるので、ビアホール導体 3 8 および 3 9 の各端面を接続用端子として用いるのに適していると言うことができる。

#### 【 0 0 7 9 】

なお、図 3 に示したチップ状電子部品 5 6 に代えて、あるいは、これに加えて、図 1 に示したチップ状電子部品 5 0 のように半田付けによって表面実装される電子部品が、ビアホール導体 3 8 および 3 9 の露出する各端面を接続用端子としながら、積層体 3 7 a 上に搭載されても、あるいはワイヤボンディングを介して接続される電子部品が、ビアホール導体 3 8 および 3 9 の露出する各端面を接続用端子すなわちワイヤボンディング用パッドとしながら、積層体 3 7 上に搭載されてもよい。

#### 【 0 0 8 0 】

##### 【発明の効果】

以上のように、この発明によれば、断面寸法が互いに異なる第 1 および第 2 のビアホール導体を含む構成とされているので、ビアホール導体を形成するための貫通孔への導電性ペーストの充填を能率的にしかつ充填後の欠落を防止するといった観点からビアホール導体の断面寸法を選ぶことができ、そのため、導電性ペーストの充填不足を生じにくくすることができ、その結果、電氣的導通に対する信頼性を向上させることができる。

#### 【 0 0 8 1 】

また、上述したような導電性ペーストの充填後の欠落が生じた場合には、この欠落を引き起こした導電性ペーストが不所望な部分に付着して、電氣的短絡の問題を引き起こしたり、搭載部品の接続不良を引き起こしたりする可能性があるが、この発明によれば、導電性ペーストの充填後の欠落を生じにくくすることができるので、これらの不都合に遭遇しにくくすることができる。

#### 【 0 0 8 2 】

また、ビアホール導体のための導電性ペーストの充填不足が生じやすい場合には、このような充填不足の有無の検査を綿密に行なわなければならないが、この発明によれば、このような充填不足が生じにくいので、充填不足の有無の検査を

省略または簡略化することができる。

【 0 0 8 3 】

この発明において、第1のセラミック層を貫通するように延びる第1のビアホール導体の断面寸法が、第1のセラミック層より厚みの薄い第2のセラミック層を貫通するように延びる第2のビアホール導体の断面寸法より大きくされると、より好ましくは、すべてのビアホール導体について、厚みのより厚いセラミック層を貫通するように延びるビアホール導体の断面寸法が、厚みのより薄いセラミック層を貫通するように延びるビアホール導体の断面寸法より大きくなるようにされると、ビアホール導体の高さ方向寸法と径方向寸法との関係を決定するにあたって、前述した導電性ペーストの充填不足をより生じにくくするといった観点から、この関係を決定することが容易になり、したがって、導電性ペーストの充填不足をより確実に防止できるようになる。

【 0 0 8 4 】

また、上述した導電性ペーストの充填不足の防止をより確実なものとするためには、ビアホール導体の高さ方向寸法をH、同じく径方向寸法をDとしたとき、 $H/D$ で表わされるアスペクト比が、0.1～3.0となるように選ばれることが好ましい。

【 0 0 8 5 】

また、この発明によれば、複数のセラミック層の厚みを互いに異ならせ、それに応じてビアホール導体の断面寸法を互いに異ならせることによって、上述したように、導電性ペーストの充填不足を生じにくくすることができるので、複数のセラミック層を、互いに同じ誘電率を有する誘電体から構成しながら、たとえば、特定のセラミック層の厚みを薄くすることによって、それに関連して設けられる、たとえばコンデンサを小型で高い静電容量のものとする事容易になる。

【 0 0 8 6 】

また、この場合、誘電率が互いに異なる複数のセラミック層を混在させる必要がないため、セラミック層を構成する材料の選択が容易になるとともに、積層型セラミック電子部品に備える積層体を得るための焼成工程での条件管理を簡易なものとする事ができる。

【 0 0 8 7 】

この発明に係る積層型セラミック電子部品が電子装置を構成するために用いられたときには、積層型セラミック電子部品が有する高信頼性が、電子装置に対しても反映され、電子装置の信頼性を高めることができる。

【図面の簡単な説明】

【図 1】

この発明の一実施形態による積層型セラミック電子部品 3 1 を図解的に示す断面図である。

【図 2】

ビアホール導体 5 5 のアスペクト比  $H/D$  を説明するための図である。

【図 3】

この発明の他の実施形態による積層型セラミック電子部品 3 1 a を図解的に示す断面図である。

【図 4】

この発明の背景を説明するためのもので、積層型セラミック電子部品の内部に形成されるコンデンサ 1 を図解的に示す断面図である。

【図 5】

この発明の背景を説明するためのもので、積層型セラミック電子部品の内部に設けられるトリプレート構造 4 を図解的に示す断面図である。

【図 6】

この発明の背景を説明するためのもので、積層型セラミック電子部品の内部に設けられる 2 つのコンデンサ 9 および 1 0 を図解的に示す断面図である。

【図 7】

この発明にとって興味ある、貫通孔 1 3 への導電性ペースト 1 9 の充填工程を図解的に示す断面図である。

【図 8】

この発明が解決しようとする課題を説明するためのもので、貫通孔 1 3 内の導電性ペースト 1 9 の一部が多孔質シート 1 8 側に付着した状態を示す断面図である。

【図 9】

この発明にとって興味ある、貫通孔 1 3 への導電性ペースト 1 9 の充填工程の他の例を図解的に示す断面図である。

【図 1 0】

この発明が解決しようとする課題を説明するためのもので、貫通孔 1 3 内の導電性ペースト 1 9 の一部がキャリアフィルム 2 3 側に付着した状態を示す断面図である。

【符号の説明】

3 1, 3 1 a 積層型セラミック電子部品

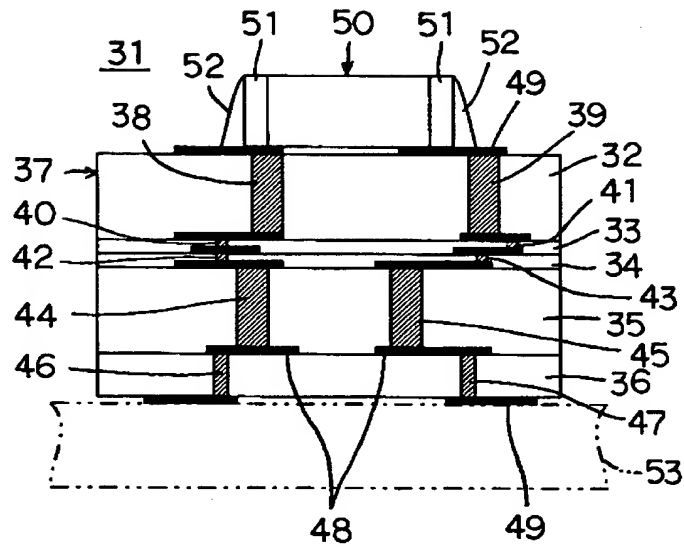
3 2 ~ 3 6, 5 4 セラミック層

3 7, 3 7 a 積層体

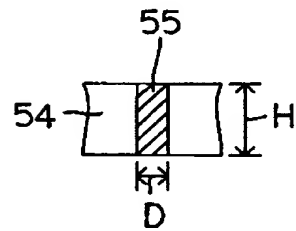
3 8 ~ 4 7, 5 5 ビアホール導体

【書類名】 図面

【図 1】

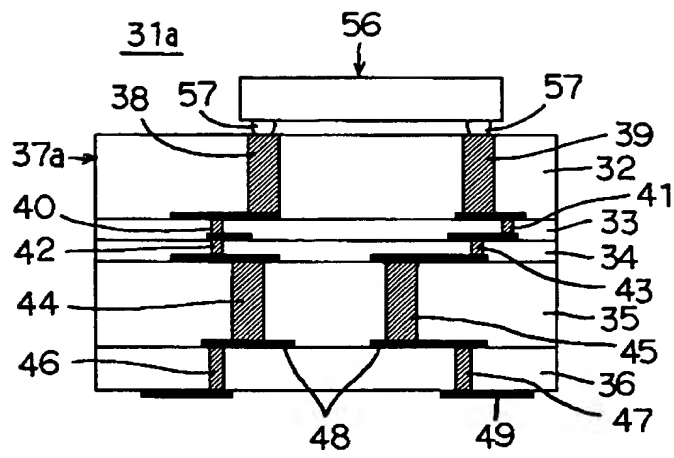


【図 2】

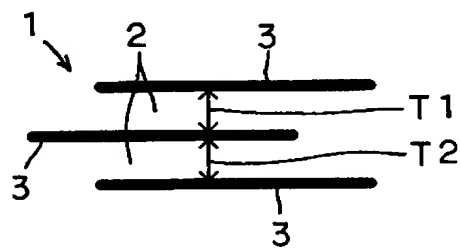




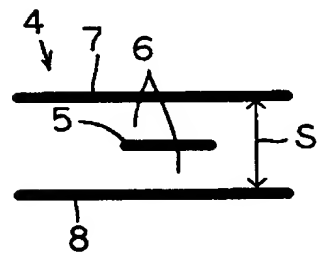
【図 3】



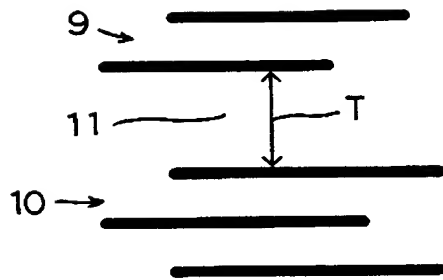
【図 4】



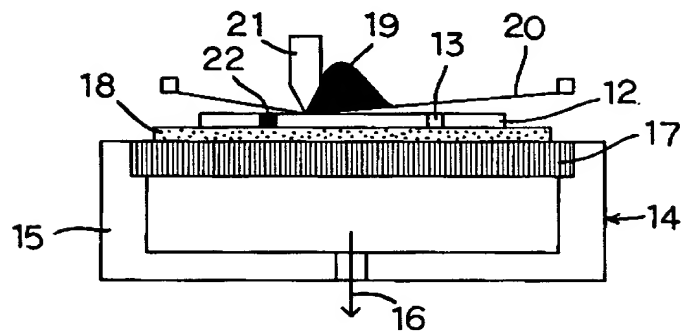
【図 5】



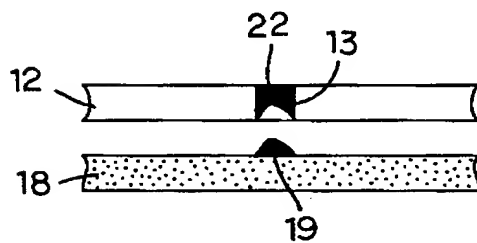
【図 6】



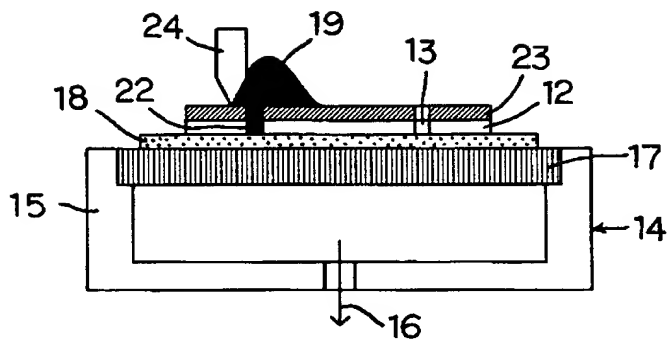
【图 7】



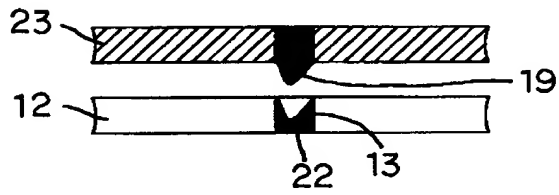
【图 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 積層型セラミック電子部品の積層体を構成する複数のセラミック層の厚みが互いに異なるとき、セラミック層を貫通するビアホール導体の高さ方向寸法が異なってくるが、ビアホール導体の高さ方向寸法が大きくなるほど、これを形成するための導電性ペーストの充填が困難となり、他方、ビアホール導体の断面寸法が大きくなるほど、導電性ペーストの充填後の欠落が生じやすい。

【解決手段】 厚みのより厚いセラミック層 3 2、3 5 を貫通するビアホール導体 3 8、3 9、4 4、4 5 の断面寸法を、厚みのより薄いセラミック層 3 3、3 4 を貫通するビアホール導体 4 0～4 3 の断面寸法より大きくする。これによって、高さ方向寸法の大きいビアホール導体 3 8、3 9、4 4、4 5 のための導電性ペーストの充填を容易にするとともに、高さ方向寸法の小さいビアホール導体 4 0～4 3 のための導電性ペーストの充填後の欠落を生じにくくする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 2 3 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	京都府長岡京市天神二丁目 2 6 番 1 0 号
氏 名	株式会社村田製作所